



PAJ 1994 to
today



Your search statement: Words anywhere: "@PN='11282427'"
Record 1 of 1



(19) JAPANESE PATENT OFFICE

(11) Publication Number: JP 11282427 A (43) Date of publication: 19991015

(51) int. Cl : G09G003-36  

(ICS) G02F001-133

G09G003-20

G09G003-20

H02J001-00

(71) Applicant:
RICOH CO LTD

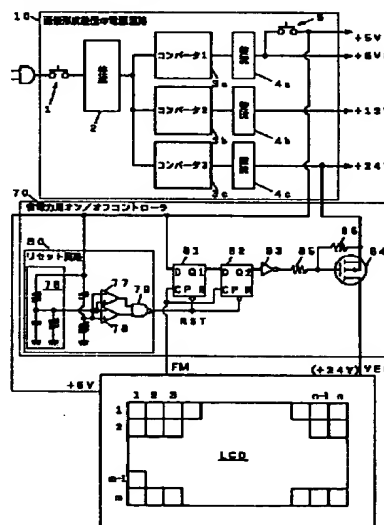
(72) Inventor:
IWASAKI KAZUYA

(21) Application Information:
19980330 JP 10-83298

DRIVING VOLTAGE CONTROLLER FOR LIQUID CRYSTAL DISPLAY

(57) Abstract:

PROBLEM TO BE SOLVED: To prevent the damage of an LCD at the time of the changeover of the power saving mode ON/OFF of a power saving power supply circuit.
SOLUTION: The controller is provided with an FET 84 interposed in the driving voltage line of the LCD to which the control voltage (+5 V) and driving voltage (+24 V) of the power saving power supply circuit 10 are applied when a power saving mode is OFF and a standby voltage (+5 VE) is applied when the power saving mode is ON. The controller is also provided with timing control means 80-86 to be conductive after the rise of the control voltage of the FET 84 at the time of shifting to the power saving mode OFF and to be non-conductive at the time of the fall of the control voltage of the FET 84 at the time of shifting to the power saving mode ON. The control means 80-86 are provided with FFs 81 and 82 for turning the FET 84 ON



in response to display timing
signals FM generated by the LCD at
the time of shifting to the power
saving mode OFF. The conductive
resistance of the FET 84 is 10
omega or less.

CD-Volume: MIJP9910PAJ JP 11282427 Copyright: JPO 19991015
A 001

PAJ Result

End Session



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-282427

(43) 公開日 平成11年(1999)10月15日

(51) IntCl.⁴ 識別記号

G 0 9 G 3/36

G 0 2 F 1/133

G 0 9 G 3/20

H 0 2 J 1/00

5 0 5

6 1 1

6 1 2

3 0 7

F I

G 0 9 G 3/36

G 0 2 F 1/133

G 0 9 G 3/20

H 0 2 J 1/00

5 0 5

6 1 1 B

6 1 2 G

3 0 7 F

審査請求 未請求 請求項の数3 O L (全 6 頁)

(21) 出願番号 特願平10-83298

(22) 出願日 平成10年(1998) 3 月30日

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 岩 崎 一 也

東京都大田区中馬込1丁目3番6号 株式
会社リコー内

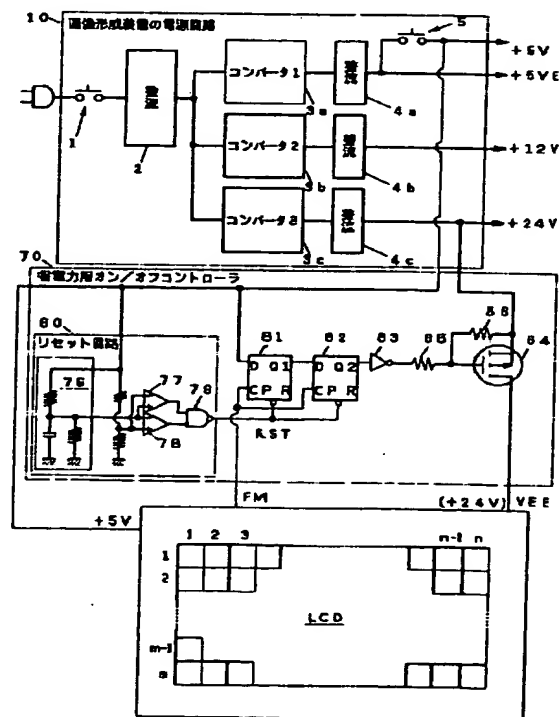
(74) 代理人 弁理士 杉 信 興

(54) 【発明の名称】 液晶ディスプレイの駆動電圧制御装置

(57) 【要約】

【課題】 省電力電源回路の省電力モードオン/オフの切り換え時のLCDのダメージを防止。

【解決手段】 省電力モードオフにおいては制御電圧(+5V)および駆動電圧(+24V)を出力し、省電力モードオンにおいてはそれらの出力を停止し待機電圧(+5VE)を出力する省電力電源回路(10)の、制御電圧および駆動電圧が印加されるLCDの、駆動電圧ラインに介挿されたFET84;および、省電力モードオフへの移行時にはFET84制御電圧の立上り後に導通とし、省電力モードオンへの移行時にはFET84を制御電圧が立下るときに非導通とするタイミング制御手段(80~86);を備える。該制御手段(80~86)は、省電力モードオフへの移行時にLCDが発生する表示タイミング信号FMにตอบสนองしてFET84をオンにするFF81, 82を含む。FET84の導通抵抗は10Ω以下。



【特許請求の範囲】

【請求項1】省電力モードオフにおいては制御電圧および駆動電圧を出力し、省電力モードオンにおいてはそれらの制御電圧および駆動電圧の出力を停止し待機電圧を出力する複数電源出力の省電力電源回路の、前記制御電圧および駆動電圧が印加される液晶ディスプレイの、前記駆動電圧供給ラインに介挿されたスイッチング手段；および、

省電力モードオフへの移行時には前記スイッチング手段を前記制御電圧の立上り後に導通とし、省電力モードオンへの移行時には前記スイッチング手段を前記制御電圧が立下るときに非導通とするスイッチングのタイミング制御手段；を備える、液晶ディスプレイの駆動電圧制御装置。

【請求項2】前記タイミング制御手段は、省電力モードオフへの移行時に液晶ディスプレイが発生する表示タイミング信号にตอบสนองして前記スイッチング手段をオンにする遅延タイミング手段を含む、請求項1記載の、液晶ディスプレイの駆動電圧制御装置。

【請求項3】前記スイッチング手段は、導通抵抗が10Ω以下のFETである請求項1又は請求項2記載の、液晶ディスプレイの駆動電圧制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、省電力モードオフにおいては制御電圧および駆動電圧を出力し、省電力モードオンにおいてはそれらの制御電圧および駆動電圧の出力を停止し待機電圧を出力する複数電源出力の省電力電源回路を有する機器の、該省電力電源回路から制御電圧および駆動電圧を受ける液晶ディスプレイの、駆動電

圧の制御に関する。

【0002】この液晶ディスプレイは、例えば、複写機、プリンタ、ファクシミリなどの画像形成装置の表示盤に用いられ、省電力電源回路が与える制御電圧をもとに表示タイミング信号を生成し、表示データに従って表示駆動電極に、省電力電源回路が与える駆動電圧又はそれをもとに生成した駆動電圧を印加する。

【0003】

【従来の技術】近年、省エネルギー化が叫ばれる中、画像形成装置等においても国際的に待機時の省電力化を目的とする国際ルールが提唱されている。それらを実現するためには、待機時に不要な部分の電源を切る必要があり、従来よりいろいろな対策が提案されてきた。例えば、待機時の電力消費を少くし、しかもメモリデータは保存し他の機器あるいはオペレータの指示には可及的に速く応答するように、CPUなどの監視処理装置および所要メモリには常時待機電圧を与え、モータドライバ、ソレノイドドライバ、定着器回路等々の、待機時の電力消費が大きい電気回路への駆動電圧は、待機時は遮断し、指示があったときに供給する、いわゆる省電力モー

ドが採用されている。たとえば特開平8-69225号公報には、待機時は液晶ディスプレイに待機中を示す最小限の表示をしかつ低い駆動電圧を与えることが示されている。

【0004】いずれにしても、省電力モードが採用される場合、省電力モードオフにおいては制御電圧および駆動電圧を出力し、省電力モードオンにおいてはそれらの制御電圧および駆動電圧の出力を停止し待機電圧を出力する複数電源出力の省電力電源回路が用いられる。

【0005】図3は、省電力化に対応した電源ユニットすなわち省電力電源回路の一例の概略である。コンセン

トから入力されたAC電源は、一次整流回路2により直流に整流され、DC/ACコンバータ3により再発振降圧され、所望の電圧が生成され、二次整流回路4によりDC電源となる。省電力モードのときすなわち省電力モードオンのときは、図示しない画像形成装置の制御部からの信号により、駆動電圧を発生するコンバータ3b、3cを停止させ、スイッチ5をオフ（開）にする事により、制御電圧+5Vおよび駆動電圧+12V、+24Vの出力を止め、消費電力を減らす。図中+5VEは、省電力モードオンの間も機能していなければならない回路への電圧すなわち待機用電圧である。

【0006】通常、電源スイッチ1をオン、オフしたときの出力DC電圧（ここでは制御電圧+5Vおよび駆動電圧+24Vを代表とする）の時間的変化は、図4に示すように、コンバータの動作と接続されている負荷の状態により、暫時増加、減少し、定常値になる時間に大きな差はない。しかしながら、図3に示したような省電力電源回路の省電力モードオンへの移行及び省電力モードオフへの移行では、駆動電圧+24Vが電源スイッチ1をオフ、オン操作したのと同じ動きをするのに対し、制御電圧+5Vは、スイッチ5によりオン、オフされるため、動きが急峻となり、特に省電力モードオンへ移行する際には、駆動電圧+24Vの降下に対してかなり早く低下してしまう。

【0007】

【発明が解決しようとする課題】制御電圧+5Vは、制御回路の電源として多く用いられており、接続される部品によっては、制御電圧+5Vを制御回路に、駆動電圧+24Vをドライバ（駆動回路）に使用している物もある。これらの部品によっては、制御回路の電圧が駆動電圧より先に落ちると、該部品又はドライバがダメージを受ける場合がある。操作盤の表示に用いられている液晶ディスプレイもそのような物の一つであり、ダメージを受けた場合には、視覚的にも大きな影響を受けるため効果的な対策が必要である。

【0008】本発明はこのような問題を解決することを目的とする。具体的には、省電力電源回路の省電力モードオン/オフの切替わり時の液晶ディスプレイのダメージを防止することを目的とする。

【0009】

【課題を解決するための手段】(1)省電力モードオフにおいては制御電圧(+5V)および駆動電圧(+24V)を出力し、省電力モードオンにおいてはそれらの制御電圧および駆動電圧の出力を停止し待機電圧(+5VE)を出力する複数電源出力の省電力電源回路(10)の、前記制御電圧(+5V)および駆動電圧(+24V)が印加される液晶ディスプレイ(LCD)の、前記駆動電圧供給ラインに介挿されたスイッチング手段(84)；および、省電力モードオフへの移行時には前記スイッチング手段(84)を前記制御電圧(+5V)の立上り後に導通とし、省電力モードオンへの移行時には前記スイッチング手段(84)を前記制御電圧(+5V)が立下るときに非導通とするスイッチングのタイミング制御手段(80~86)；を備える、液晶ディスプレイの駆動電圧制御装置。

【0010】なお、理解を容易にするためにカッコ内には、図面に示し後述する実施例の対応要素の符号又は対応事項を、参考までに付記した。

【0011】これによれば、液晶ディスプレイ(LCD)の制御回路に制御電圧(+5V)が加わった後に該制御回路を動作を開始した後に駆動電圧(V_{EE}=+24V)が液晶ディスプレイ(LCD)に加わるので、省電力電源回路(10)が省電力モードオフへの移行時に駆動電圧(V_{EE}=+24V)が液晶ディスプレイ(LCD)にダメージを与えない。また、制御電圧(+5V)が立下るときに駆動電圧(V_{EE}=+24V)が速く遮断されるので、省電力モードオンへの移行時に、制御回路動作の停止後も駆動電圧(V_{EE}=+24V)が長く継続することがなく、液晶ディスプレイ(LCD)がダメージを受けない。

【0012】

【発明の実施の形態】

(2)前記タイミング制御手段(80~86)は、省電力モードオフへの移行時に液晶ディスプレイが発生する表示タイミング信号にตอบสนองして前記スイッチング手段(84)をオンにする遅延タイミング手段(81~86)を含む、請求項1記載の、液晶ディスプレイの駆動電圧制御装置。

【0013】これによれば、液晶ディスプレイ(LCD)の制御回路に制御電圧(+5V)が加わって該制御回路が動作を開始した後に駆動電圧(V_{EE}=+24V)が液晶ディスプレイ(LCD)に加わるので、省電力電源回路(10)が省電力モードオフへの移行時に駆動電圧(V_{EE}=+24V)が制御回路動作に先行して印加されることがなく、液晶ディスプレイ(LCD)がダメージを受けない。駆動電圧先行を回避する信頼性が高い。

【0014】(3)前記スイッチング手段(84)は、導通抵抗が10Ω以下のFETである。スイッチング手段(84)による駆動電圧の降下が少く、液晶ディスプレイ(LCD)の表示品位は実質上低下しない。

【0015】本発明の他の目的および特徴は、図面を参照した以下の実施例の説明より明らかになろう。

【0016】

【実施例】図1に本発明の一実施例を示す。ここに用いられている電源回路10は、画像形成装置の省電力電源回路であり、図3に示したものと同一である。液晶ディスプレイLCDは画像形成装置の表示盤にあるものであり、その内部の制御回路には省電力電源回路10の+5Vが直接に印加される。液晶ディスプレイLCDの電極通電回路には、省電力用オン/オフコントローラ70のFET84を介して、省電力電源回路10の+24Vが印加される。

【0017】図2の(a)には、省電力モードオンから省電力モードオフに移行し、そしてその逆に移行するまでの、省電力電源回路10の複数の出力の中の、制御電圧用+5Vおよび駆動電圧用+24Vの時系列変化を示し、図2の(b)には、制御電圧用+5Vが印加されているときの、LCDの内部の制御回路が発生するタイミング信号の時系列変化を示す。

【0018】図2において、Dは表示データ、CPは表示データをLCDにラッチ及びシフトするためのクロック、LDはライン単位のコード信号、FMはフレーム信号である。表示データDは、LCD内の図示しない制御回路(LSI)のシリアルnビットのシフトレジスタに、クロックCPに同期して入力される。nドット分表示データを入力したところでLDパルスが発生し、シフトレジスタのデータをパラレル出力する。すなわち1行分の表示データを確定する。この時FM信号が“H”であるとLD信号の立ち下がりで、1行目が選択されnドットのデータが1行目に表示される。その他の行は非選択となり表示されない。2行目のデータを前述のようにラッチし、LD信号の立ち下がりでFM信号が“L”であると、LCDの2行目に表示が行われる。以下同様にしてm行まで繰り返すと1フレームの表示が終了する。

【0019】制御電圧用+5Vは、省電力用オン/オフコントローラ70の第1のDフリップフロップ81に印加され、該Dフリップフロップ81のQ1出力が第2のフリップフロップ82に印加され、第2のフリップフロップ82のQ2がインバータ83に印加され、インバータ83の出力により、FET84がオン/オフ駆動される。第2のフリップフロップ82のQ2がH(インバータ83の出力がL)のときFET84はオン(導通)、Q2がL(インバータ83の出力がH)のときFET84はオフ(非導通)となる。

【0020】2つのDフリップフロップ81、82のクロック端子CPには、フレーム信号FMが入力され、リセット端子Rには、リセット回路80がリセット信号RSTを与える。2つのDフリップフロップ81、82は、リセット信号RSTがLに立上ったときにリセットされて、それらの出力Q1、Q2がL(FET84オフ)となる。

【0021】リセット回路80は、いわゆる電源オンリ

セット回路に、電源オフ時の電圧降下開始時にもリセット信号を発生する回路を付加したものであり、この実施例では、電圧+5Vの立上りより遅れて立上り、電圧+5Vの立下りより遅れて立下る電圧を発生する時定数回路76、2つの比較器77およびナンドゲート79を用いた。比較器77の出力は、電圧+5Vの立上りより遅れて立上る時定数回路76の電圧が、+5Vの略50%程度のレベル以上に達しているときにH、略50%以下ではLであるが、比較器78の出力は、時定数回路76の電圧が+5Vの略90%以上のレベルのときにL、略90%未満のときにHであり、これにより、リセット回路80の出力(ナンドゲート79の出力)は、図2に示すように、電源回路10の制御用電圧出力(+5V)の印加が開始されたときには、時定数回路76の電圧が略50%程度のレベルに上昇したときにリセットレベルLとなって、略90%程度のレベルに上昇したときにHとなる。電源回路10の制御用電圧出力(+5V)の印加が停止するときには、時定数回路76の電圧が略90%程度のレベル以下に下ったときにリセットレベルLとなる。

【0022】以下動作を図2のタイムチャートを用いて説明する。リセット(RST)状態では、2個のフリップフロップ81、82の出力Q1、Q2は、“L”になっており、Q2の出力を反転するオープンコレクティブインバータ83の出力は“H”となる。その結果、FET84はオフ状態となりLCD駆動電圧(V_{EE})は出力されない。リセットが解除され、LCD制御回路からフレーム信号FMの一つ目が出力されると、1段目のフリップフロップ81の出力Q1が“H”になる。2つ目のフレーム信号FMが出力されると、2段目のフリップフロップ82はQ1をラッチし、出力Q2は“H”となる。これにより、インバータ83の出力は“L”となり、FET84がオンし、LCD駆動電源(V_{EE}≒+24V)が出力される。

【0023】次に、制御電圧+5Vがオフされるとき動作について説明する。前述の定常状態すなわちFET84がオンでV_{EE}≒+24Vが出力されている状態で、+5Vがオフされると、+5Vよりも若干小さい規定値(略90%)にてリセット信号RSTが“L”となる。RSTが“L”になるとフリップフロップ81、82はリセットされ、出力Q1、Q2が“L”になるため、インバータ83の出力は“H”となり、FET84がオフとなる。これにより、V_{EE}に出力されていた+24Vはオフとなる。このように+5Vが十分残留している時点でV_{EE}(+24V)の出力は瞬断される。

【0024】上記のように、本発明では電源の立ち上がり時及び遮断時にもLCDの駆動電圧(V_{EE}≒+24V)は、制御電圧(+5V)よりも早く出力されたり、遅くまで残っていることが無く、駆動電圧がLCDへダメージを与えることがない。本実施例では、タイミング信号としてフレーム信号FMを使用した。LCDによってはクロック信号(CP)やロード信号(LD)を使用しても同様の効果が得られる。

【0025】なお、図中抵抗85、86は、FETのバイアス用ブリーダ抵抗である。LCD駆動電圧のオン、オフスイッチにFET84を使用している。これは、トランジスタのように電流駆動のスイッチを使用するとスイッチ部での電圧降下果が大きくなり、駆動電圧が低いことにより表示品位が低下することがありうる。特に駆動電圧の低下が問題となる場合には、FETのオン抵抗が10Ω以下のものを使用するのが有用である。これは、LCD駆動電源の消費電流が数mAであるため、オン抵抗10Ω以下であれば電圧効果は、0.1V以下となり表示品位に影響を与えることが無いためである。したがってFET84は、オン抵抗10Ω以下のものを用いた。

【図面の簡単な説明】

【図1】 本発明の一実施例の主要部の構成を示すブロック図である。

【図2】 (a)は、図1に示す省電力用オン/オフコントローラの入、出力およびその内部で発生する信号の時系列変化を示すタイムチャートであり、(b)は図1に示す液晶ディスプレイLCDが発生するタイミング信号および外部より与えられる表示データDの、時系列の変化を示すタイムチャートである。

【図3】 従来の省電力電源回路の概要を示すブロック図である。

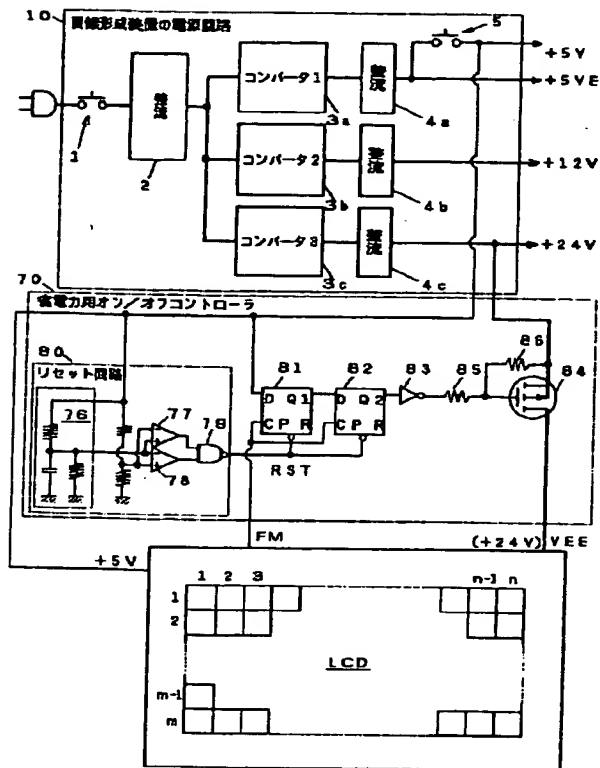
【図4】 図3に示す省電力電源回路の、電源スイッチ1がオン、オフされたときの出力の変化を示すタイムチャートである。

【図5】 図3に示す省電力電源回路の、省電力モードオンから省電力モードオフへの切替わり時、ならびに、その逆の切替わり時の出力の変化を示すタイムチャートである。

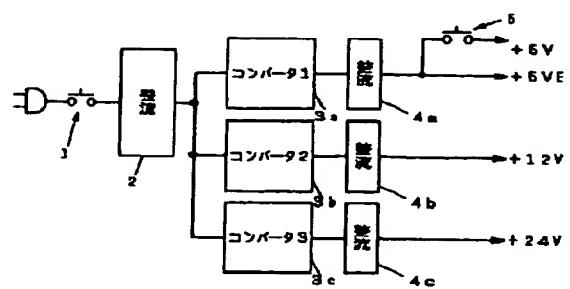
【符号の説明】

1: 電源スイッチ	5: 省電力モードオフ時に閉じられるスイッチ
81, 82: フリップフロップ	83: インバータ
84: FET	LCD: 液晶ディスプレイ

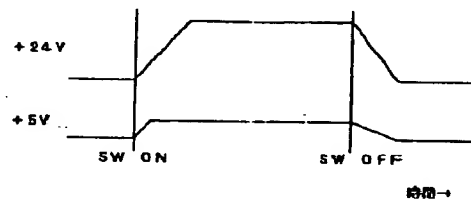
【図1】



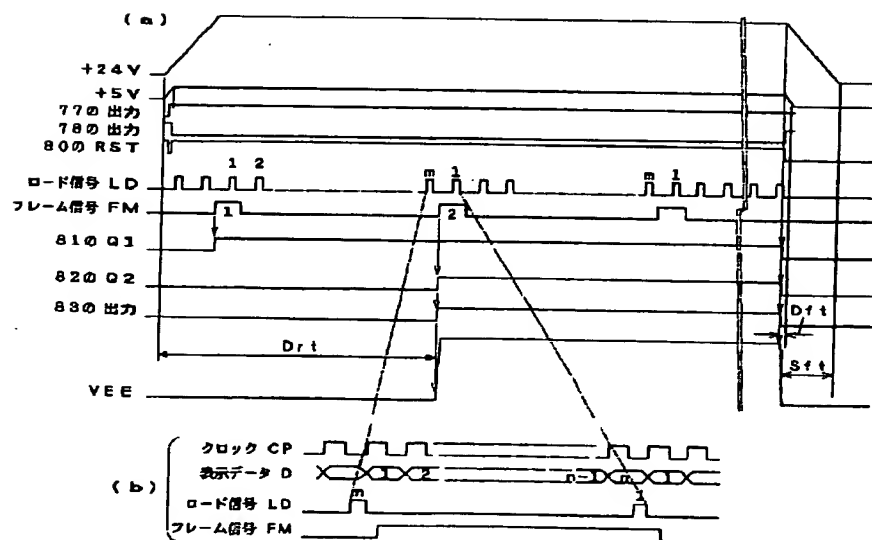
【図3】



【図4】



【図2】



(6)

特開平11-282427

【図5】

